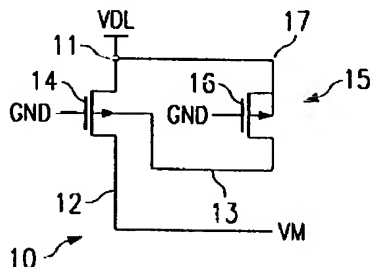


(11)特許出願公開番号



【特許請求の範囲】

【請求項1】第1のデバイスの第1の端子から基板に流れる電流の量を制御するシステムであって、該第1のデバイスのチャネルがp形であり、該第1のデバイスの第2の端子が電源に接続されており、前記第1のデバイスの基板に接続される第1の端子および前記第1のデバイスの第2の端子に接続される第2の端子を有するメカニズムを備え、電源がオフのとき、前記第1のデバイスの第1の端子および基板がpnダイオードを形成し、前記メカニズムの第1の端子および基板が、該ダイオードに直列に接続される少なくとも1つのダイオード要素を構成し、前記直列接続の閾値電圧が前記電流に関連する電圧を上回り、前記電流が流れるのを防ぐようにしたシステム。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、一般に半導体デバイスに関し、より具体的には、p形電界効果トランジスタの電流制限メカニズムに関する。

【0002】

【従来の技術】電界効果トランジスタ(FET)は3端子を持つデバイスであり、2つの端子を通る電流は、第3の端子における電圧により制御される。コンピュータ・システムから通信システムまで、FETは多くの電子デバイスで使用される。FETは、主に2種類、n形およびp形に分類されることができる。n形であるかp形であるかは、チャネル領域のドーピングのタイプを基準とする。このように、p形FETすなわちpFETは、p形のソース領域、ドレイン領域およびチャネルと、n形ゲート領域とを備える。

【0003】いくつかの用途では、ドレイン信号が、ソースおよびゲート信号の発生とは異なるチップから発生する。例えば、FETをレシーバ・チップに置くと、FETはドライビング・チップからの信号の意図された終端である。このように、入力信号の電圧VMに依存して、それはある量の電流をシンクする(sink)。信号が異なるチップ上にあることがあるので、FETのパワー信号がオフであり、駆動信号がオンであることがある。これは、FET常駐のレシービング・チップおよびドライビング・チップの両方について問題を引き起こすことがある。

【0004】pFETの概要の例を図4(a)に示し、PFETの物理的配置を図4(b)に示す。FET40は、VDLに接続されたソース41、VMに接続されたドレイン42、制御信号に接続された制御ゲート45(ここではGND)およびVDLに接続される基板ゲート43を備える。基板ゲート43は、p形基板におけるnウェル(n-well)、またはn形基板の一部であることができる。動作中、FET40はp形チャネル44を使用し、p形チャネル44は制御ゲート45によって制御さ

れる。制御ゲート45が接地にあるとき、チャネル44は開いており、電流を流すことができる。ゲート45が、pFETの閾値電圧を引いたソース41より大きい電圧を持つとき、チャネル44はピンチオフされ、ソース41からドレイン42への電流の流れが妨げられる。このように、ゲート45は、ゲート信号における電圧を利用することによって、電流の流れを制御する。

【0005】FET40の常駐チップがパワーを失い、ソース41におけるVDLが接地に下がる時、問題が生じる。これが起こるとき、pnダイオードが、ドレイン42(p形)およびn形基板ゲート43の間に形成される。ドレイン42は、ドライビング・チップからの信号であるVMを受け取る。VMがおよそ0.7ボルト、すなわちpnダイオードの閾値活性化電圧より大きい正の電圧ならば、pnダイオードがオンになり、ドレイン42から基板ゲート43まで大量の電流をシンクする。基板がもはや電源電圧でバイアスされずに接地で保たれるので、このことが生じる。

【0006】ダイオードが接地への非常に低い抵抗路を提供するので、これが、伝達の見地からすると、ドライビング・チップに対して短絡しているように見えることに注意すべきである。VM信号が正確なインピーダンスで終端されなければ、全電圧値において、ドライビング・チップに戻る反射波を生じさせる。ダイオードが短絡として見えるので、反射信号は、負すなわち逆の波で反射する(開路(オープン回路)は、正の波を反射する)。負の波は、信号の位相に依存して、強め合う干渉または弱め合う干渉を引き起こすことがある。強め合う干渉は、ドライビング・チップの能力を超えて、チップに損害を与えることがあるのに対し、弱め合う干渉は、レシービング・チップに送られる信号の劣化となることがある。

【0007】大量の電流の流れによって、ドライビング・チップがたくさんの電流を供給しなければならなくなる。さらに、大電流は、ドライビング・チップおよびレシービング・チップの両方で、多量の熱を生成する。また、レシービング・チップへの電流の流れは、レシービング・チップがコンデンサであるように、レシービング・チップの基板を充電することがある。レシービング・チップの電源を投入する間に、または充電された基板を接地する間に、蓄積された電流が放電し、レシービング・チップを損なうことがある。

【0008】また電流は、VMからVDLにも流れる。VDLがパワーオフの接地にあり、ゲート45も接地にあるとき、チャネル44がまだ開いているので、FET40はまだ飽和領域にあり、電流は、ドレインからソースを介して接地へと流れる。そのため、これは、レシービング・チップの電源を落とす時に、FETを通して流れる別の電流である。さらに、この付加的な電流も、ドライビング・チップによって提供されなければならない

い。また、この電流が不適当なインピーダンス整合を生じ、そのために反射を生じさせるので、この電流が信号の反射を引き起こす点に注意すべきである。

【0009】両方の電流シンクメカニズム（すなわち、 p nダイオードからの流出およびチャネルを介したドレインからの流出）は、合わせておよそ1.6(A())を引き込む。これは、7.2(mA())の通常の電源投入の駆動電流に比べ非常に大きい。このように、レーシング・チップの電源がオフの状態は、ドライビング・チップの電源が満たすのに非常に厳しい電流需要を起す。

【0010】

【発明が解決しようとする課題】ここで記述された問題が p FETのみに生じ、 n FETには生じない点に注意すべきである。 n FETでは、 n pダイオードが形成され、これは、ドレインにおける電圧からはオンにならない。さらに、 n FETのチャネルを開くために、 n FETのゲートはVDLに接続されなければならない、パワーを失うと、ゲートは接地され、チャネルをピンチオフする。

【0011】したがって、当該技術分野において、 p FETの電源がオフの状態、ドレインからソースおよび基板への電流の流れを妨げるメカニズムの必要性がある。

【0012】

【課題を解決するための手段】これらの他の目的、特徴および技術上の利点は、 p 形FETの電源がオフの状態において、ドレインからソースおよび基板へ流れる電流を防ぐシステムおよび方法により達成される。この発明のメカニズムは3つの側面を持つ。これらの側面の1つは、ドレインから基板への電流を制御することであり、他の1つは、ドレインからソースへの電流を制御することである。3つめは、信号の反射を駆動することを防ぐことである。

【0013】第1の側面は、ダイオードをオンにするのに必要な電圧を発生させる。閾値電圧が最大VM電圧を超えれば、ダイオードは決してオンにならず、いかなる電流もドレインから基板を介してシンクしない。これは、VDL電源に接続される代わりに、他の p FETデバイスから形成される直列のダイオードに接続される基板ゲートを持つことにより達成される。電源がオンの状態の間、他の p FETデバイスはVDLに接続され、基板ゲートはVDLに接続される。電源がオフの状態では、基板ゲートは直列の p nダイオードを介して接地され、それらの組み合わされた閾値電圧が最大予想VM電圧を上回る。

【0014】第2の側面は、レーシングFETを遮断して、チャネルをピンチオフする。チャネルがピンチオフされると、いかなる電流もチャネルを介して流れることができず、いかなる電流もチャネルを介してドレイン

からソースへシンクしない。これは、FETのゲート電圧を接地から引き上げるにより達成される。 p 形FETは、動作するのに接地にあるべきゲートを必要とすることに注意すべきである。FETのゲートは、接地される代わりに、他の回路により提供される電圧に接続される。この回路は、通常の電源がオンの状態の間は、接地信号を供給する。電源がオフの状態では、回路はVM信号をゲートに供給するので、ゲートはドレインに等しい電圧になり、これは接地より大きいのでチャネルをピンチオフし、電流がチャネルを介してソースに流れることを防ぐ。

【0015】最初の2つの側面が実現され、いかなる電流もレーシングチップに流れなければ、レーシングチップは、ドライビングチップに対して開路として見える。これは、全電圧値において、ドライビングチップに戻る反射波を生じさせる。チップが開路とみえるので、反射信号は、正の波で反射して戻る。正の波は、信号の位相に依存して、強め合う干渉または弱め合う干渉を生じさせる。強め合う干渉は、ドライビングチップの能力を超える信号を生じさせて、チップに損傷を与えることがあるのに対し、弱め合う干渉は、レーシングチップに送られる信号の劣化を生じさせることがある。

【0016】したがって、この発明のメカニズムの第3の側面は、適切なインピーダンスを提供し、電源がオフの状態の際の反射を防ぐ。ドライビング・チップが適切なインピーダンスを見れば、信号のいかなる反射もドライビング・チップに送り戻されることはない。これは、通常の電源がオンの状態の間はオフにされる p FETを提供することにより達成される。電源がオフの状態では、 p FETは、VM信号の電流のシンクを与える。 p FETは予め選択され、VMの予想電圧範囲に一致する近似のインピーダンスを提供するようにする。こうして、 p FETは、VM信号の反射量を大きく減少させる。

【0017】この発明の技術上の利点は、不所望の電流が、FETデバイスに流れることを防ぐことである。

【0018】この発明の技術上の利点は、FETの電源がオフの状態の間に、電流が、 p 形FETのドレインを介して基板に流れることを防ぐことである。

【0019】この発明のさらなる技術上の利点は、FETの電源がオフの状態の間に、電流が、 p 形FETのソースにチャネルを介して流れることを防ぐことである。

【0020】この発明のさらなる技術上の利点は、レーシング・チップの電源がオフの状態の間におけるインピーダンス不整合からの反射を減少させることである。

【0021】この発明の技術上の利点は、 p 形FETを使用した信号レーシング・チップの通信リンクにおいて、信頼性のある信号の終端を提供することである。

【0022】以下に続く発明の詳細な説明をより良く理解することができるために、前述の記載はむしろ広くこ

の発明の特徴および技術上の利点を概説した。この発明の特許請求の範囲の主題を形成するこの発明の追加の特徴および利点は、以下に記述される。開示された概念および特定の実施形態を、この発明の同じ目的を実行するため他の構造を修正または設計する基本として容易に利用することができるが、当該技術分野の当業者にはわかるであろう。また、そのような等価な構成が、特許請求の範囲に説明されるこの発明の精神および範囲から離れないという点を、当該技術分野の当業者は認めるであろう。

【0023】

【発明の実施の形態】図1は、この発明の回路メカニズム15の簡略化されたものを示し、これは、電流がp形FET10のドレイン12から基板13に流れるのを防ぐ。図1に示されるように、メカニズム15は1つのFETを備えるが、必要に応じてさらなるFETを使用することができる。例えば、VM12の最大予想電圧が1.4ボルト未満で、合計して2つのpnダイオードが必要なば（それぞれのダイオードが閾値電圧0.7V（ ）を持つと仮定する）、図1に示される2つのpFETだけが、電源がオフの状態でのpnダイオードを提供するのに必要となる。より高い電圧では、追加のダイオードすなわち追加のpFETを必要とし、この配置は図3に示される。

【0024】図1において、pFET10のnウェルすなわち基板ゲート13は、pFET15のドレインに接続され、直接電源VDLに接続されない。電源がオンの状態では、基板ゲート13は、pFET15を介してVDLに接続される。pFET15が、接地されたその制御ゲートを持ち、常にオンであるので、ソース17からそのドレインへVDL信号を渡す。ドレインは、基板ゲート13すなわちpFET10に接続される。電源がオフの状態では、基板ゲート13は、pFET15のドレインおよび基板ゲート16から形成されるpnダイオードを介して、接地される。このように、pFET10のドレイン12および基板ゲート13で形成されたダイオードは、pFET15で形成されたダイオードに直列に接続される。任意の電流が基板ゲート13を介して流れ込むためには、VMは、2つのダイオードの閾値電圧を超えなければならない。閾値電圧は、直列におけるそれぞれについておよそ0.7Vであるので、全体で1.4Vである。VM電圧に依存して、より多くのダイオードを必要に応じて使用することができる。

【0025】図5（a）は、それぞれの時間におけるVM51およびVDL52の電圧を示す。y軸は電圧軸であり、ボルトで表現される。x軸は時間軸であり、ピコ秒で表現される。図5（c）は、pFET10に対するpFET15の影響を示す。y軸は電流軸であり、ミリアンペアで表現される。x軸は時間軸であり、ピコ秒で表現される。50ピコ秒より前の時間域は、動作中の通

常の電力、すなわちVDL52でおよそ1.8（V）、およびソース電流54およびドレイン電流53でおよそ+72（mA）および-72（mA）をそれぞれ示す。50ピコ秒において、チップは電源を落とし、VDLはゼロに向かい始める。またソースおよびドレイン電流は、ゼロに移動し始める。150ピコ秒において、VMはゼロから増加し、VDLはゼロのままである。およそ200ピコ秒において、基板ゲート電流55は、およそ-200（mA）である。基板ゲート電流55は、ドレイン12および基板ゲート13から、pFET10で形成されるpnダイオードを介して流れる電流を表す。このように、1つのpFETを加えることによって、電流はおよそ-1.6（A）からおよそ-200（mA）に、2つのpnダイオードの抵抗のために低下している。およそ-1.6（A）の電流は図5（d）に見ることができ、これは図2の回路の影響を示し、図1のpFET15をダイオードを欠いている。基板ゲート電流55がゼロにならないので、追加のpnダイオードを図1の回路に含める必要がある。

【0026】また図5（c）は、200ピコ秒で、およそ-155（mA）のソース電流54を示す。この電流は、pFET10のチャネル14を介してソース11に流れる電流を表す。pFET10が飽和領域にあるので、図1の回路はこの電流を減少させることができない。この電流は、72（mA）の通常の動作電流の2倍に近い。ドレイン電流53は、pFET10に流れる全電流、すなわちソース電流54および基板ゲート電流55の合計を表す。

【0027】図2は、p形FET20のチャネル23を介して、ドレイン22からソース21に電流が流れるのを防ぐこの発明の回路メカニズム25を示す。図2に示されるように、メカニズム25は、pFET20に接続される2つのFET26、27を備える。2つのFET26、27は、通常の電源がオンの状態の間に、pFET20の制御ゲート24に接地電圧を供給し、電源がオフの状態の間に、制御ゲート24に信号VM電圧を供給する。これは、pFET20のチャネル23をピンチオフするので、いかなる電流もチャネルを通して流れることができず、よっていかなる電流もドレイン22からソース21に流れ込むことができない。

【0028】図2において、pFET20の制御ゲート24は、FET26、27のソースに接続され、直接には接地されない。電源がオンの状態では、制御ゲート24は接地にしなければならない。これは、n形FETであるFET27によって達成される。FET27のゲート制御は電源VDLに接続されるので、電源がオンの時、FET27はオンにされ、ドレインからの接地信号をソース、つまりはpFET20のゲート制御24に渡す。FET26はp形FETであり、その制御ゲートはVDLに接続されるので、電源がオンの時、オフにされる。そのため、通常の動作状態ではVDLは高く、これがF

FET27をオンにし、制御ゲート24を接地に引き下げる。電源がオフの状態においては、制御ゲート24は、pFET閾値電圧を引いたドレイン電圧より高い電圧でなければならない。レシービング・チップが、電源が落ちた状態にあるので、オフチップ(off chip)の電圧信号を使用しなければならない。ドライビング・チップからのVM信号があるので、この電圧をpFET20をオフするのに使用することができる。これは、p形FETであるFET26によって容易にされる。また、FET26のゲート制御は電源VDLに接続されるので、電源がオフの時、FET26はオンにされ、VDLは接地になる。FET26の基板ゲートすなわちnウェル28が、VMに接続される点に注意しなければならない。電源がオフの状態では、VMが最も高い電圧であるので、FET26が正常に動作するよう基板ゲートは電源に接続されなければならない、これが既定値のVMである。その後、FET26はVM信号をドレインからソースに渡し、つまりはpFET20のゲート制御24に渡す。FET27はn形FETであり、その制御ゲートはVDLに接続されているので、パワーオフの時、オフにされる。そのため、電源がオフの動作状態では、VDLは低く、これがFET26をオンにし、制御ゲート24をVMまで引き上げ、pFET20をオフにし、よっていかなる電流もチャネル23を介して流れるのを防ぐ。

【0029】前述したように、図5(a)は、さまざまな時間におけるVM51およびVDL52の電圧を示す。図5(d)は、pFET20に対するFET26、27の影響を示す。y軸は、電流軸であり、アンペアで表現される。x軸は、時間軸であり、ピコ秒で表現される。50ピコ秒より前の時間域は、動作上の通常のパワー、すなわち、およそ1.8(V)におけるVDL52、およそ+72(mA)および-72(mA)におけるソース電流54およびドレイン電流53を示す。図5の(b)、(c)および(d)についてこの部分は同じであるが、y軸のスケールが異なるので異なって見える点に注意すべきである。再び、50ピコ秒において、チップは電源を落とされ、VDLはゼロに向かい始める。150ピコ秒において、VMはゼロから増加し、VDLはゼロのままである。およそ200ピコ秒において、ソース電流54がおよそ0(A)にある。この電流は、pFET20のチャネル23を介してソース21に流れる電流を表す。図5(c)(これは、図2の回路を欠く図1の回路を表す)に比較して、この電流は、-155(mA)からゼロになった。

【0030】また図5(d)は、およそ-1.6(A)における基板ゲート電流55を示す。基板ゲート電流55は、ドレイン22および基板ゲートからpFET20で形成されるpnダイオードを介して流れる電流を表す。このように、図1の回路を含まいことにより、電流はおよそ-200(mA)に比べておよそ-1.6(A)であ

る。ドレイン電流53は、pFET20に流れる全電流、すなわちソース電流54および基板ゲート電流55の合計を表す。

【0031】図3は、電流がpFET30に流れるのを妨げる図1および図2のこの発明の回路メカニズム15、25を示す。メカニズム15は、p形FET30のドレイン32から基板33に電流が流れるのを防ぐ。メカニズム25は、pFET30のドレイン32からソース31に電流が流れるのを防ぐ。

【0032】図3に示されるように、メカニズム15は複数のp形FETを備え、それぞれが、電源がオフの状態においてそれぞれのドレインおよび基板からダイオードを形成する。FETのドレインおよび基板は、その形成されたダイオードが直列に接続されるよう接続される。第1のFET35のドレインは、pFET30の基板33に接続される。最後のFET37の基板37は、VDLに接続される。FETのそれぞれのソースは、VDLに接続される。FET15の制御ゲートだけでなく、制御ゲート30もVGに接続され、これは、FET26、27により提供される点に注意すべきである。通常時の、電源がオンの状態において、基板ゲート33は、VDLに引き上げられる。VDLが高ければ、FET26はオフであり、FET27はオンである。このように、FET27はVGを接地する。これは、pFET30およびFET15をオンにする。第1のFET35は、基板ゲート33をVDLにする。したがって、pFET30は正常に動作する。

【0033】電源がオフの状態において、基板ゲート33は接地されているVDLに接続され、これはFET15のそれぞれのドレインおよび基板ゲートからそれぞれ形成される直列のpnダイオードを介して行われる。電源がオフの状態では、VDLは低く、FET27はオフであり、FET26はオンである。こうして、FET26はVGをVMに接続する。これは、pFET30、FET15をオフにする。こうして、電流路は、ドレイン32から、基板ゲート33、第1のFET35のドレイン、FET35の基板ゲート、次のFETのドレイン等々、、、最後のFET36の基板ゲート37までであり、これは、接地にあるVDLに接続される。このチェーン(鎖)は、直列のpnダイオードを形成する。このように、基板ゲート33を介して電流がシंकするには、VMは、ダイオード直列の閾値電圧を上回らなければならない、この閾値電圧は、直列のそれぞれのダイオードについておよそ0.7Vである。図3において、閾値電圧の合計が3.5Vについて、全部で5個のダイオードがある。このように、VMは、任意の電流が流れるのに3.5Vを超えなければならない。

【0034】VMの電圧に依存して、必要に応じてより多くのダイオードを使用することができる。さらに、必要に応じて直列接続に追加のFETを切り換える回路

を、備えることができる。このように、VMの電圧の明確な量を、レシービング・チップを作る際にあらかじめ決める必要はない。レシービング・チップを、それがドライビング・チップから受け取ることのある電圧の量において柔軟に作ることができる。

【0035】電源がオフの状態では、VDLは低く、FET27はオフであり、FET26はオンである。このように、FET26はVGをVMに接続する。これが、pFET30およびFET15をオフにする。pFET30に加えてFET15がオフにされることに注意すべきである。これは、それらのチャネルを介してそれらのソースおよび接地にあるVDLに、いかなる電流も流れるのを妨ぐ。

【0036】先に述べたように、図5(a)は、さまざまな時間におけるVM51およびVDL52における電圧を示す。図5(b)は、FET15、26、27のpFET30に与える影響を示す。y軸は、電流軸であり、ミリアンペアで表現される。x軸は時間軸であり、ピコ秒で表現される。50ピコ秒より前の時間域は、通常の電源を入れた動作、すなわちおよそ1.8(V)におけるVDL52、およそ+72(mA)および-72(mA)におけるソース電流54およびドレイン電流53をそれぞれ表す。図5(b)、(c)および(d)についてこの部分は同じであるが、y軸のスケールが異なるので異なって見えることに注意すべきである。再び、50ピコ秒において、チップは電源を落とされ、VDLはゼロへ向かい始める。150ピコ秒において、VMはゼロから増加し、VDLはゼロのままである。およそ200ピコ秒において、ソース電流54はおよそ0(mA)にある。この電流は、pFET30のチャネル33を介してソース31に流れる電流を表す。また、基板ゲート電流55もおよそ0(mA)である。基板ゲート電流55は、ドレイン32および基板ゲート33から、pFET30で形成されたpnダイオードを介して流れる電流を表す。従って、ドレイン電流53は、pFET30に流れる基板全電流またはソース電流54と基板ゲート電流55の合計であり、およそ0(mA)である。

【0037】また図3は、レジスタFET38を備える。このp形FETは、VM信号について近似のインピーダンス整合を提供する。電流がpFET30に全く流れないならば、pFETへの接続は、ドライビング・チップに開路として見え、信号の反射が生じる。FET38は、適切なインピーダンスを持つ電流のシンクを提供する。FET38のインピーダンスは、予め選択され、ドライビング・チップからのVM信号の予想電圧範囲について近似のインピーダンス整合を提供する。FET38の制御ゲートがVDLに接続され、通常の電源がオンの状態において、このFETがオフされるようにする。電源がオフの状態では、VDLは接地になり、FET38はオンになり、VMについて接地への経路を提供す

る。信号はFET38で終端させられ、ドライビング・チップに反射されない。FET38が、特定の電圧について線形の電流を提供する点に注意すべきである。こうして、VMの完全な範囲は追跡しないが、特定の電流量をシンクするようFET38を選ぶことができる。これは、反射量を大きく減少させる。

【0038】図5(b)は、FET38のソース電流56の測定を含む。ソース電流56が、VM51に対して実質的に線形である点に注意すべきである。非線形性の期間は、150ピコ秒と155ピコ秒との間である。非線形性は、FET38が動作し始める前に、VMが克服しなければならない閾値電圧のためである。

【0039】図6(a)は、図5(a)に類似する。図6(b)は、図5(b)に類似するが、pFET30の通常の動作電流を定義する基準線60を含む。基準線60およびrFETソース電流56の交点61は、rFET38を通る電流が、pFET30の通常の動作電流と一致する点を示す。rFET38の電流が、VM信号からであり、VM電圧51上の対応する点62(時間において)は、通常の動作電圧VDL52と一致するおよそ1.8ボルトである。したがって、rFET38が点61、62で動作している時のrFETのインピーダンスは、通常の電源がオンの状態下でのpFETと同じである。

【0040】図5(a)～(d)および図6(a)および(b)は、明瞭にさせる目的のためにのみ記述され、明確な動作条件および特性は、使用されている特定の装置に依存するという点に注意しなければならない。

【0041】この発明およびその利点が詳細に記述されたけれども、特許請求の範囲によって定義されるこの発明の精神および範囲から離れることなく、様々な形態、代替および変更を行うことができるという点を理解しなければならない。

【0042】この発明は例として次の実施態様を含む。

【0043】(1) 第1のデバイス(10)の第1の端子(12)から基板(13)に流れる電流の量を制御するシステムであって、該第1のデバイスのチャネルがp形であり、該デバイスの第2の端子(11)が電源に接続されており、前記第1のデバイスに接続される第1の端子(13)および前記第1のデバイスの第2の端子に接続される第2の端子(17)を備えるメカニズム(15)を備え、電源がオフのとき、前記第1のデバイスの第1の端子および基板がpnダイオードを形成し、前記メカニズムの第1の端子および基板は、第1のダイオードと直列にある少なくとも1つのダイオード要素を構成し、前記直列の閾値電圧が前記電流に関連する電圧を上回り、電流が流れるのを防ぐようにしたシステム。

【0044】(2) 前記電源がオンのとき、前記メカニズム(15)が、前記電源を前記第1のデバイスの基板に接続し、電流が流れるようにした上記(1)に記載のシス

テム。

【0045】(3) 第1のデバイスのチャネルを介して、該第1のデバイスの第1の端子(22)から、第2の端子(21)に流れる電流の量を制御するシステムであって、該第1のデバイスのチャネルがp形であり、該第1のデバイスの第2の端子が電源に接続されており、前記第1のデバイスおよび第2のデバイスに共通の接地レベルに接続される第1の端子と、前記第1のデバイスの制御ゲートに接続される第2の端子(24)と、前記電源に接続される制御ゲートとを備える第2のデバイス(27)と、前記第1のデバイスの第1の端子に接続される第1の端子と、前記第2のデバイスの第2の端子に接続される第2の端子と、前記電源に接続される制御ゲートとを備える第3のデバイス(26)とを備え、前記電源がオンのとき、前記第3のデバイスの制御ゲートが第3のデバイスをオフにし、前記第2のデバイスの制御ゲートが第2のデバイスをオンにすることで、前記第1のデバイスの制御ゲートを接地し、前記第1のデバイスをオンにして、電流が流れることができるようにし、前記電源がオフのとき、前記第2のデバイスの制御ゲートが前記第2のデバイスをオフにし、前記第3のデバイスの制御ゲートが前記第3のデバイスをオンにすることで、前記第1のデバイスの制御ゲートを前記電流に関連する電圧にし、前記第1のデバイスをオフにして、電流が流れるのを防ぐようにしたシステム。

【0046】(4) 前記第3のデバイス(26)の制御ゲートが、前記第3のデバイスのチャネルをピンチオフすることにより前記第3のデバイスをオフにし、前記第2のデバイス(27)の制御ゲートが、前記第2のデバイスのチャネルをピンチオフすることにより前記第2のデバイスをオフにし、前記第1のデバイス(20)の制御ゲートが、前記第1のデバイスのチャネルをピンチオフすることにより前記第1のデバイスをオフにし、前記第3のデバイス(26)の制御ゲートが、前記第3のデバイスのチャネルを開くことにより前記第3のデバイスをオンにし、前記第2のデバイス(27)の制御ゲートが、前記第2のデバイスのチャネルを開くことにより前記第2のデバイスをオンにし、前記第1のデバイス(20)の制御ゲートが、前記第1のデバイスのチャネルを開くことにより前記第1のデバイスをオンにするようにした上記(3)に記載のシステム。

【0047】(5) 第1のデバイスの第1の端子(32)から流れる電流の量を制御するシステムであって、該デバイスは、制御ゲート(33)、基板、p形チャネルおよび電源に接続される第2の端子を備えており、前記第1のデバイスの基板に接続される第1の端子(35)と、前記第1のデバイスの制御ゲートに接続される制御ゲートおよび前記第1のデバイスの第2の端子に接続される第2の端子とを備えるメカニズムと、前記第1および第2のデバイスに共通の接地レベルに接続される第1の端子と、前

記第1のデバイスの制御ゲートに接続される第2の端子および前記電源に接続される制御ゲートとを備える第2のデバイス(27)と、前記第1のデバイスの第1の端子に接続される第1の端子と、前記第2のデバイスの第2の端子に接続される第2の端子および前記電源に接続される制御ゲートとを備える第3のデバイス(26)とを備え、前記電源がオフのとき、前記第2のデバイスの制御ゲートが第2のデバイスをオフにし、前記第3のデバイスの制御ゲートが第3のデバイスをオンにすることで、前記第1のデバイスの制御ゲートを前記電流に関連する電圧にし、前記第1のデバイスをオフにして、前記第1のデバイスの第1の端子から前記第1のデバイスの第2の端子へ、前記第1のデバイスのチャネルを介して前記電流が流れるのを防ぐようにし、前記電源がオフのとき、前記第2のデバイスの制御ゲートが第2のデバイスをオフにし、前記第3のデバイスの制御ゲートが第3のデバイスをオンにすることで、前記メカニズムの制御ゲートを前記電流に関連する電圧にし、前記メカニズムをオフにし、前記第1のデバイスの第1の端子および前記第1のデバイスの基板がpnダイオードを形成し、前記メカニズムの第1の端子および前記メカニズムの基板が、第1のダイオードに直列接続にある少なくとも1つのダイオード要素であり、前記直列接続の閾値電圧が前記電流に関連する電圧を超え、前記第1のデバイスの第1の端子から前記第1のデバイスの基板に前記電流が流れるのを防ぐようにし、前記電源がオンのとき、前記第3のデバイスの制御ゲートが第3のデバイスをオフにし、前記第2のデバイスの制御ゲートが第2のデバイスをオンにすることで、前記第1のデバイスの制御ゲートを接地し、前記第1のデバイスをオンにして、前記第1のデバイスの第1の端子から前記第1のデバイスの第2の端子に前記電流が流れることができるようにし、前記電源がオンのとき、前記第3のデバイスの制御ゲートが第3のデバイスをオフにし、前記第2のデバイスの制御ゲートが第2のデバイスをオンにすることで、前記メカニズムの制御ゲートを接地し、前記メカニズムをオンにし、これが、前記第1のデバイスの基板を前記電源に接続し、それにより前記第1のデバイスの第1の端子から前記第1のデバイスの第2の端子まで、前記第1のデバイスのチャネルを介して前記電流が流れることができるようにしたシステム。

【0048】(6) 前記第1のデバイスを備える第2のチップから離れた第1のチップから、前記電流が発する上記(1)、(3)、(4)または(5)に記載のシステム。

【0049】(7) 接地される第1の端子および前記第1のデバイスの第1の端子に接続される第2の端子を備える他のデバイス(38)を備えており、前記電源がオフのとき、前記他のデバイスが前記電流を終端させるようにした上記(6)に記載のシステム。

【0050】(8) 前記電源がオンのとき、前記他のデバイス(38)が、前記第1のデバイスのインピーダンスに近似的に整合するインピーダンスをもつ上記(7)に記載のシステム。

【0051】(9) 前記メカニズム(15)が直列回路に配置された複数のデバイスを備え、該直列が、前記メカニズムの第1の端子を有する前記直列回路の最初のデバイス(35)を備え、該直列回路のデバイスの残りが、該直列回路の前に隣接したデバイスの基板に接続される端子をそれぞれ備えており、前記メカニズムの基板を有する前記直列回路のデバイスの残りが、該直列回路の後ろに隣接したデバイスの端子に接続される基板をそれぞれ備えている上記(1)から(5)に記載のシステム。

【0052】

【発明の効果】 p形FETの電源がオフの状態において、ドレインからソースおよび基板への電流の流れを制御することができる。

【図面の簡単な説明】

【図1】 p形FETのドレインから基板に電流が流れるのを防ぐこの発明の回路の概略図。

【図2】 p形FETのドレインからソースに電流が流れるのを防ぐこの発明を示す図。

【図3】 図2の回路と組み合わせて動作する図1の拡張された回路を示し、p形FETにおける不所望の電流の流れを防ぐのを示す図。

【図4】 従来技術のp形FETの配置を示す図。

【図5】 図1から図3の回路の性能の側面を示すグラフ。

【図6】 図3の回路の性能の側面を示すグラフ。

【符号の説明】

10 第1のデバイス (pFET)

11 ソース (第2の端子)

12 ドレイン (第1の端子)

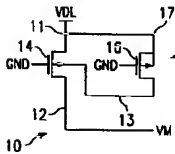
13 基板、第2のデバイスのドレイン (第1の端子)

15 第2のデバイス (pFET)

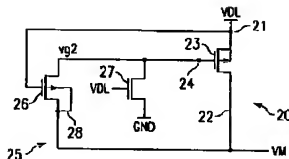
16 第2のデバイスの基板

17 第2のデバイスのソース (第2の端子)

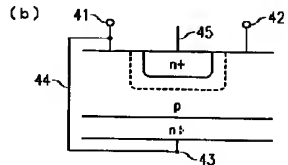
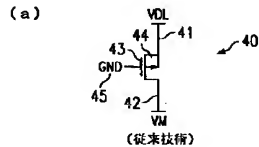
【図1】



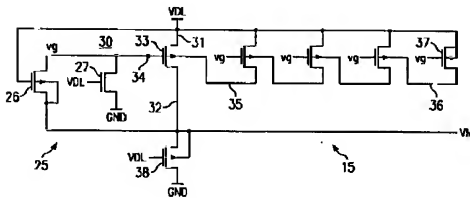
【図2】



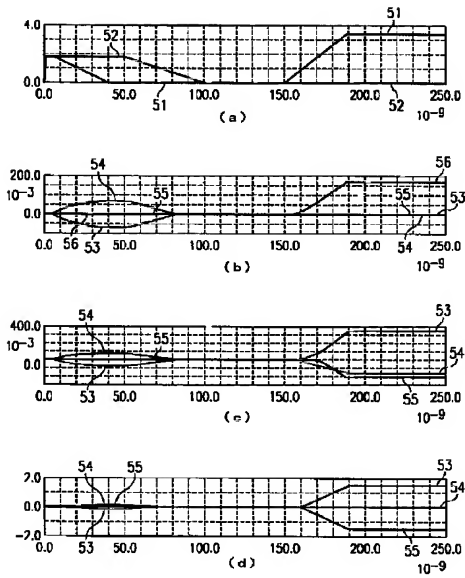
【図4】



【図3】



【図5】



【図6】

